



대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2000년 제 63021 호  
Application Number

출원년월일 : 2000년 10월 25일  
Date of Application

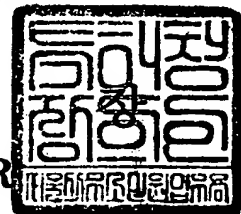
출원인 : 애플 테크놀로지 코리아 주식회사  
Applicant(s)



2001 년 05 월 03 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2000. 10. 25
【발명의 명칭】	반도체 패키지
【발명의 영문명칭】	Semiconductor package
【출원인】	
【명칭】	앰코 테크놀로지 코리아 주식회사
【출원인코드】	1-1999-032391-1
【대리인】	
【성명】	허상훈
【대리인코드】	9-1998-000602-6
【포괄위임등록번호】	1999-046659-9
【발명자】	
【성명의 국문표기】	구재훈
【성명의 영문표기】	KU, Jae Hun
【주민등록번호】	650120-1052516
【우편번호】	131-207
【주소】	서울특별시 중랑구 면목7동 용마동아아파트 101동 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	최영남
【성명의 영문표기】	CHOI, Young Nam
【주민등록번호】	611230-1037828
【우편번호】	137-030
【주소】	서울특별시 서초구 잠원동 57 대림아파트 8-1203호
【국적】	KR
【발명자】	
【성명의 국문표기】	도원철
【성명의 영문표기】	DO, Won Chul
【주민등록번호】	750929-1775010

**【우편번호】** 143-221  
**【주소】** 서울특별시 광진구 중곡1동 624-24  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 허상훈 (인)  
**【수수료】**  
**【기본출원료】** 12 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 1 항 141,000 원  
**【합계】** 170,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 패키지에 관한 것으로서, 인너리드의 저면이 하프에칭되었던 종래의 리드프레임 구조를 개선하여, 인너리드와 랜드의 경계부위가 하프에칭된 리드프레임과, 이것을 이용하여 제조된 반도체 패키지를 제공하는데 그 목적이 있다.

이에, 상기 인너리드와 랜드의 경계부만 하프에칭되어, 인너리드는 강성을 보유한 상태가 되고, 그에 따라 와이어 본딩과 몰딩공정시에 흔들림이나 휘어짐을 방지할 수 있고, 몰딩공정후 인너리드와 랜드의 저면이 모두 외부로 노출됨에 따라 더욱 극대화된 열 방출 효과를 제공할 수 있게 된다.

**【대표도】**

도 2b

**【색인어】**

반도체 패키지, 리드프레임, 하프에칭, 인너리드

**【명세서】****【발명의 명칭】**

반도체 패키지{Semiconductor package}

**【도면의 간단한 설명】**

도 1은 본 발명에 따른 반도체 패키지 제조용 리드프레임을 나타내는 저면도,

도 2a, 2b는 도 1의 리드프레임을 이용하여 제조된 본 발명의 반도체 패키지를 나타내는 저면도 및 단면도,

도 3은 종래의 반도체 패키지 제조용 리드프레임을 나타내는 저면도,

도 4a, 4b는 도 3의 리드프레임을 이용하여 제조된 종래의 반도체 패키지를 나타내는 저면도 및 단면도.

<도면의 주요 부분에 대한 부호의 설명>

10 : 반도체 패키지    12 : 리드프레임(Lead frame)

16 : 칩탑재판    18 : 타이바(Tie bar)

20 : 인너리드(Inner lead)    21 : 랜드

22 : 수지    26 : 사이드 레일

28 : 댄바    30 : 경계부

32 : 칩    34 : 와이어

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12>        본 발명은 반도체 패키지에 관한 것으로서, 더욱 상세하게는 인너리드와 외부리드의 경계부위가 하프에칭된 리드프레임을 이용하여 반도체 패키지 제조 공정중의 와이어 본딩과 몰딩공정시에 인너리드의 흔들림 현상을 방지할 수 있고, 몰딩후 인너리드의 외부 노출면적을 증대시켜 열방출 효과를 향상시킬 수 있도록 한 구조의 반도체 패키지에 관한 것이다.
- <13>        일반적으로 반도체 패키지 제조용 리드프레임은 폭과 두께 그리고 길이, 반도체 패키지 영역의 면적, 리드의 길이, 칩탑재판의 면적등을 달리하여 여러가지 형태로 제작되고 있고 개발중에 있다.
- <14>        또한, 상기 리드프레임을 이용하여 칩탑재판의 저면이 외부로 노출된 구조의 반도체 패키지등이 제조되고 있다.
- <15>        여기서, 종래에 칩탑재판과 리드의 일부가 하프 에칭된 리드프레임의 구조와, 이 리드프레임을 이용한 반도체 패키지의 구조를 첨부한 도 3 내지 4a,4b를 참조로 설명하면 다음과 같다.
- <16>        상기 종래의 리드프레임(12)은 외곽 골격을 이루는 사이드 레일(26)과, 반도체 칩이 실장되는 칩탑재판(16)과, 상기 칩탑재판(16)의 각 구석과 상기 사이드레일(26)간에 일체로 연결되어 칩탑재판(16)을 잡아주는 타이바(18)와, 상기 사이드레일(26)의 각 안쪽면에 일체로 성형되어 칩탑재판(16)의 사방면에 인접되게 위치되며 댄바(28)로 연결된

리드로 구성되어 있고, 특히 상기 칩탑재판(16)의 저면 사방 테두리와, 타이바(16)의 저면과, 인너리드(20)의 저면이 하프에칭되어 있다.

<17>        좀 더 상세하게는, 상기 리드는 하프에칭된 인너리드(20)와 하프에칭되지 않은 랜드(21)가 일체로 되어 있다.

<18>        따라서, 상기 칩탑재판(16)에 반도체 칩(32)을 실장하는 공정과, 반도체 칩의 본딩 패드와 인너리드(20)의 본드핑거간을 와이어(34)로 본딩하는 공정과, 상기 반도체 칩(32)과 와이어(34)와 인너리드(20)등을 수지(22)로 몰딩하는 공정등을 거쳐 첨부한 도 4b와 같은 반도체 패키지(10)가 완성된다.

<19>        이때, 상기 칩탑재판(16)과 하프에칭되지 않은 랜드(21)의 저면은 외부로 노출된 상태가 되어, 반도체 칩의 입출력 단자 역할을 하게 된다.

<20>        그러나, 상기 리드프레임의 인너리드는 그 저면이 하프에칭되어 미세한 두께로 되어 있기 때문에, 몰딩공정시에 수지의 흐름등에 의하여 쉽게 흔들리며 휘어지거나 소손되는 경우가 발생하여 반도체 패키지의 불량률을 초래하는 문제점이 있다.

<21>        특히, 상기 리드프레임의 인너리드의 길이가 긴 경우에는 그 흔들림은 더욱 커 인너리드의 휘어짐이 가중되기도 한다.

<22>        또한, 인너리드의 하프에칭시 그 두께가 불균일하게 형성되기 때문에, 와이어 본딩시 클램핑이 잘되지 않아, 와이어 본딩의 불량률 초래하게 된다.

**【발명이 이루고자 하는 기술적 과제】**

<23> 따라서, 본 발명은 상기와 같은 문제점을 감안하여 안출한 것으로서, 인너리드의 저면이 하프에칭되었던 종래의 리드프레임 구조를 개선하여, 인너리드와 랜드의 경계부위가 하프에칭된 리드프레임과, 이것을 이용하여 제조된 반도체 패키지를 제공하는데 그 목적이 있다.

<24> 이에, 상기 인너리드와 랜드의 경계부만 하프에칭되어, 인너리드는 강성을 보유한 상태가 되고, 그에 따라 와이어 본딩과 몰딩공정시에 흔들림이나 휘어짐을 방지할 수 있고, 몰딩공정후 인너리드와 랜드의 저면이 모두 외부로 노출됨에 따라 열방출 효과를 더욱 극대화시킬 수 있다.

**【발명의 구성 및 작용】**

<25> 이하 첨부도면을 참조로 본 발명을 상세하게 설명하면 다음과 같다.

<26> 상기한 목적을 달성하기 위한 본 발명의 반도체 패키지는: 반도체 칩이 실장되고 저면이 외부로 노출되는 리드프레임의 칩탑재판과, 상기 리드프레임의 인너리드와 반도체 칩의 본딩패드간을 연결하는 와이어와, 상기 인너리드와 일체로 성형되어 그 저면이 외부로 노출된 랜드와, 상기 반도체 칩과 인너리드와 와이어등을 몰딩하고 있는 수지로 구성된 반도체 패키지에 있어서,

<27> 상기 리드프레임(12)의 인너리드(20)와 랜드(21)의 경계부를 하프에칭 처리하고, 하프에칭되지 않은 상기 인너리드(20)와 랜드(21)의 저면이 몰딩수지면과 평행을 이루며 외부로 노출된 것을 특징으로 한다.



- <28> 여기서 본 발명을 실시예로서, 첨부한 도면을 참조로 더욱 상세하게 설명하면 다음과 같다.
- <29> 첨부한 도 1은 본 발명에 따른 반도체 패키지 제조용 리드프레임을 나타내는 저면도로서, 상기 리드프레임(12)은 외곽 골격을 이루는 사이드 레일(26)과, 반도체 칩이 실장되는 칩탑재판(16)과, 상기 칩탑재판(16)의 각 구석과 사이드레일(26)간에 일체로 연결되어 칩탑재판(16)을 잡아주는 타이바(18)와, 사이드레일(26)의 각 안쪽면에 일체로 성형되어 칩탑재판(16)의 사방면에 인접되게 위치되는 리드로 구성되어 있다.
- <30> 특히, 상기 칩탑재판(16)의 저면 사방 테두리와, 타이바(18)의 저면은 하프에칭으로 그 두께가 감소하며 오목하게 처리되어 있다.
- <31> 이때, 상기 리드는 몰딩공정시 수지로 몰딩되는 인너리드(20)와 랜드(21), 그리고 랜드에서 외부로 연장되어 댄바(28)에 의하여 연결된 외부리드로 구성되어 있다.
- <32> 여기서 상기 리드프레임의 인너리드(20)와 랜드(21)의 경계부(30)를 작은 요홈이 형성되는 식으로 하프에칭 처리한다.
- <33> 따라서, 상기 리드프레임(12)의 칩탑재판(16)에 반도체 칩(32)을 실장하고, 상기 리드프레임(12)의 인너리드(20)와 반도체 칩(32)의 본딩패드간을 와이어(34)로 본딩하며, 상기 반도체 칩(32)과 와이어(34)와 인너리드(20)와 랜드(21)등을 외부로부터 보호하기 위하여 수지(22)로 몰딩하는 공정을 거쳐 첨부한 도 2b에 도시한 바와 같은 반도체 패키지(10)가 완성되어진다.
- <34> 이때, 상기 수지(22)는 도 2에 도시한 바와 같이, 하프에칭 처리되지 않은 칩탑재판(16)의 저면 중앙면과, 인너리드(20)와 랜드(21)의 저면이 외부로 노출되도록 몰딩된

다.

<35> 특히, 상기 인너리드(20)와 랜드(21)의 경계부(30)에만 하프에칭이 되어 있기 때문에, 종래에 저면 전체 면적이 하프에칭된 인너리드보다 강성을 보유한 상태가 되고, 그 두께도 균일한 상태가 된다.

<36> 따라서, 반도체 패키지 제조공정중의 와이어 본딩시, 균일한 두께의 인너리드(20)가 와이어 본딩다이에 평행하게 올려져 클램핑이 용이하게 이루어지게 되고, 몰딩공정시의 수지흐름이나 그밖의 외부력에도 인너리드는 흔들리지 않고 휘어지지 않게 되어, 반도체 패키지의 불량을 현격히 격감시킬 수 있게 된다.

<37> 또한, 상기 몰딩공정이 끝난 후, 상기 하프에칭된 경계부(30)을 제외하고 인너리드(20)의 저면과 랜드(21)의 저면이 칩탑재판(16)과 함께 외부로 노출됨에 따라 반도체 칩(32)에 발생하는 열의 방출 효과를 더욱 극대화시킬 수 있게 된다.

<38> 또한, 하프에칭된 인너리드(20)와 랜드(21)의 경계부(30)에는 몰딩수지(22)가 채워짐에 따라, 수지(22)에 의하여 락킹되는 효과를 얻어내어, 수지(22)와 인너리드(20) 및 랜드(21)간의 결합력을 향상시킬 수 있다.

### 【발명의 효과】

<39> 이상에서 본 바와 같이, 본 발명에 따른 반도체 패키지에 의하면, 종래에 리드프레

임의 인너리드의 저면 전체가 하프에칭되었던 점을 개선하여, 강성을 지니고 균열한 두께를 유지할 수 있도록 인너리드와 랜드의 경계부에만 하프에칭 처리함에 따라, 반도체 패키지의 제조공정중의 외부력에도 인너리드는 흔들리지 않게 되어 반도체 패키지의 불량률을 줄일 수 있는 장점이 있다.

<40> 또한, 칩탑재판과 함께 상기 인너리드와 랜드의 저면이 외부로 노출되도록 됨에 따라, 반도체 칩에서 발생하는 열의 방출을 극대화시킬 수 있다.

<41> 또한, 인너리드와 랜드의 경계부에 수지가 채워져, 수지와 인너리드 및 랜드간의 결합력을 유지시킬 수 있다.

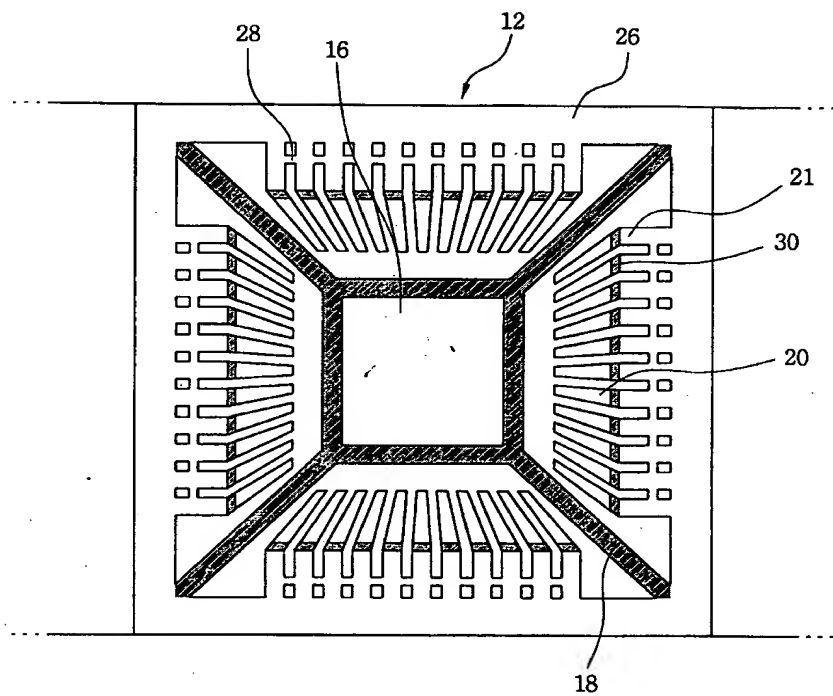
**【특허청구범위】****【청구항 1】**

반도체 칩이 실장되고 저면이 외부로 노출되는 리드프레임의 칩탑재판과, 상기 리드프레임의 인너리드와 반도체 칩의 본딩패드간을 연결하는 와이어와, 상기 인너리드와 일체로 성형되어 그 저면이 외부로 노출된 랜드와, 상기 반도체 칩과 인너리드와 와이어 등을 몰딩하고 있는 수지로 구성된 반도체 패키지에 있어서,

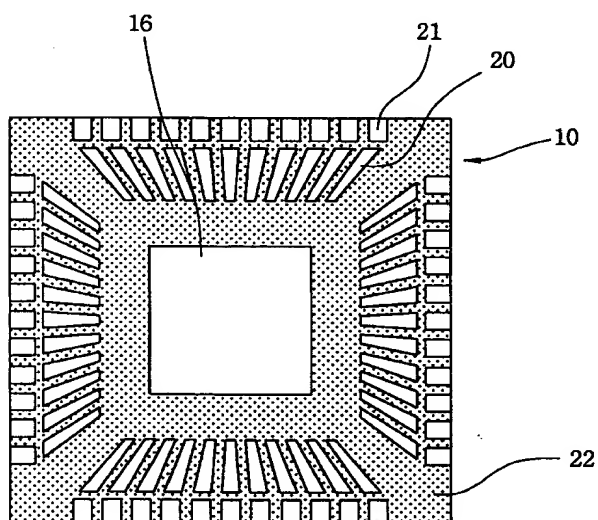
상기 리드프레임의 인너리드와 랜드의 경계부를 하프에칭 처리하고, 하프 에칭되지 않은 상기 인너리드와 랜드의 저면이 상기 몰딩수지면과 평행을 이루며 외부로 노출된 것을 특징으로 하는 반도체 패키지.

【도면】

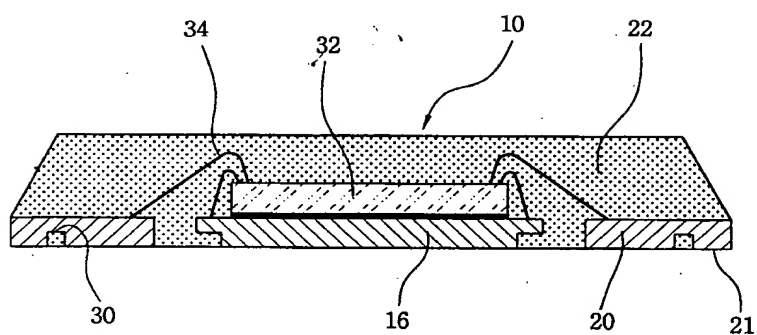
【도 1】



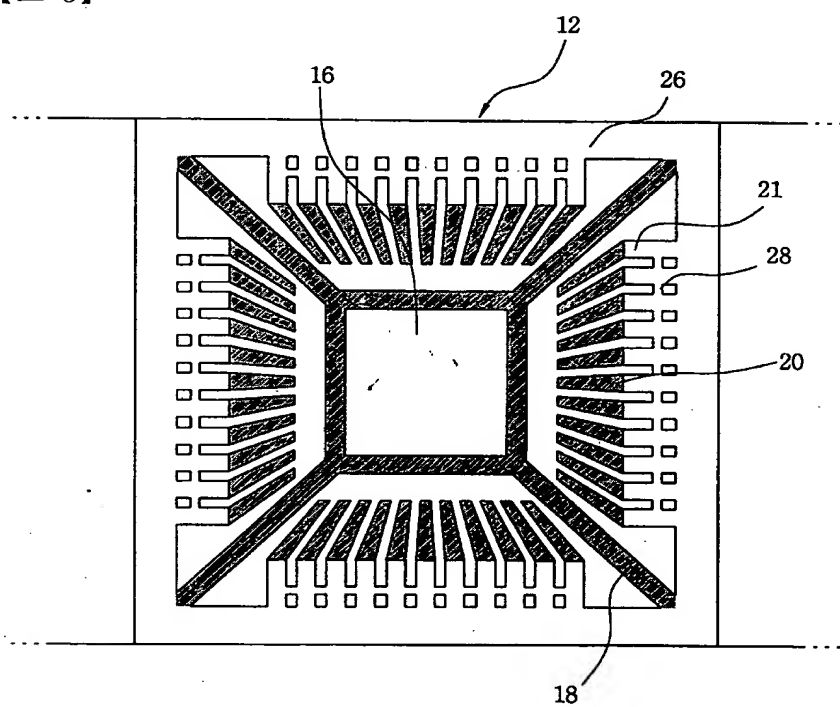
【도 2a】



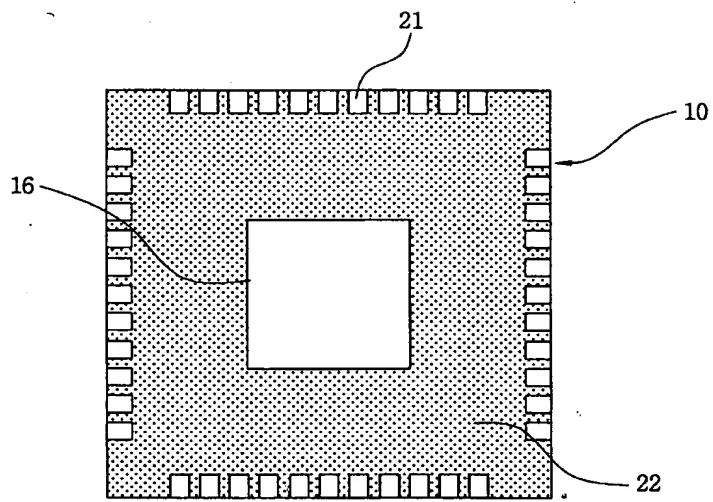
【도 2b】



【도 3】



【도 4a】



【도 4b】

